

**Family list**

1 family member for: **JP9179142**  
Derived from 1 application

[Back to JP9179142](#)

**1 ELECTRODE WIRING BOARD, PRODUCTION OF THE SAME AND LIQUID CRYSTAL DISPLAY DEVICE**

**Inventor:** TSUJI HIROSHI

**Applicant:** TOKYO SHIBAURA ELECTRIC CO

**EC:**

**IPC:** G02F1/1343; G02F1/136; G02F1/1368 (+6)

**Publication info:** JP9179142 A - 1997-07-11

Data supplied from the *esp@cenet* database - Worldwide

# ELECTRODE WIRING BOARD, PRODUCTION OF THE SAME AND LIQUID CRYSTAL DISPLAY DEVICE

Publication number: JP9179142

Publication date: 1997-07-11

Inventor: TSUJI HIROSHI

Applicant: TOKYO SHIBAURA ELECTRIC CO

Classification:

- International: G02F1/1343; G02F1/136; G02F1/1368; H01L29/786; G02F1/13; H01L29/66; (IPC1-7): G02F1/136; G02F1/1343; H01L29/786

- European:

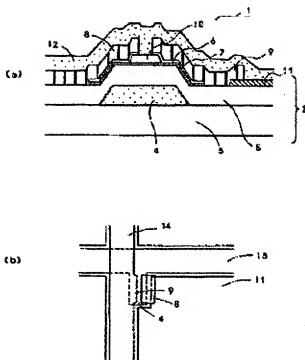
Application number: JP19950336250 19951225

Priority number(s): JP19950336250 19951225

Report a data error here

## Abstract of JP9179142

**PROBLEM TO BE SOLVED:** To improve coverage due to an insulating film by forming a satisfactory tapered surface and to improve corrosion resistance. **SOLUTION:** This board 2 is provided with 1st electrode wiring 4 formed on a substrate 3 and an insulating film 5 formed on the 1st electrode wiring 4 at least. In this case, the 1st electrode wiring 4 is provided with the 1st conductive thin film of film thickness less than 500Å and a 2nd conductive thin film, which is arranged on the 1st conductive thin film, is composed of the same materials as the 1st conductive thin film and has film thickness less than 500Å, at least.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-179142

(43) 公開日 平成9年(1997)7月11日

(51) Int.Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
	1/1343		1/1343	
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 C

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号 特願平7-336250

(22) 出願日 平成7年(1995)12月25日

(71) 出願人 000003078

株式会社東芝  
神奈川県川崎市幸区堀川町72番地

(72) 発明者 辻 博司

兵庫県姫路市余部区上余部50番地 株式会社東芝姫路工場内

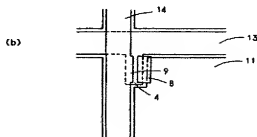
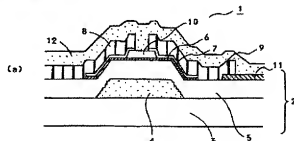
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 電極配線基板、その製造方法、及び液晶表示装置

(57) 【要約】

【課題】 本発明は、良好なテーパ面が形成され、これにより絶縁膜によるカバレッジに優れ、耐食性が良好な電極配線基板およびその製造方法を提供することを目的としている。

【解決手段】 本発明は、基板3上に形成された第1電極配線4と、第1電極配線4上に形成された絶縁膜5とを少なくとも備えた電極配線基板2であって、第1電極配線4が、少なくとも500オングストローム以下の膜厚の第1導電薄膜と、第1導電薄膜上に配置され第1導電薄膜と同一材料から成る500オングストローム以下の膜厚の第2導電薄膜とを含む。



## 【特許請求の範囲】

【請求項 1】 基板上に形成された第 1 電極配線と、前記第 1 電極配線上に形成された絶縁膜とを少なくとも備えた電極配線基板において、

前記第 1 電極配線は、500 オングストローム以下の膜厚の第 1 導電薄膜と、前記第 1 導電薄膜上に配置され前記第 1 導電薄膜と同一材料から成る 500 オングストローム以下の膜厚の第 2 導電薄膜とを含むことを特徴とする電極配線基板。

【請求項 2】 前記第 1 電極配線は前記基板面に対して 45° 以下のテーパ形状であることを特徴とする請求項 1 記載の電極配線基板。

【請求項 3】 前記第 1 電極配線はモリブデン・タングステン合金を主体とすることを特徴とする請求項 1 記載の電極配線基板。

【請求項 4】 前記絶縁膜上に前記第 1 電極配線と交差する第 2 電極配線を含むことを特徴とする請求項 1、2 または 3 いずれか記載の電極配線基板。

【請求項 5】 前記電極配線基板は薄膜トランジスタを含み、前記第 1 電極配線は前記薄膜トランジスタのゲート電極と一体に構成され、前記第 2 電極配線は前記薄膜トランジスタのドレイン電極と一体に構成されていることを特徴とする請求項 4 記載の電極配線基板。

【請求項 6】 前記絶縁膜は、1000 オングストローム以上 5000 オングストローム以下の膜厚であることを特徴とする請求項 1 記載の電極配線基板。

【請求項 7】 基板上に電極配線層を堆積する工程と、前記電極配線層を所望の形状にパターニングして第 1 電極配線と成す工程と、前記第 1 電極配線を被覆する絶縁膜を形成する工程とを備えた電極配線基板の製造方法において、

前記電極配線層を形成する工程が、500 オングストローム以下の膜厚の第 1 導電薄膜層を堆積する工程と、前記第 1 導電薄膜層上に前記第 1 導電薄膜層と同一材料から成る 500 オングストローム以下の膜厚の第 2 導電薄膜層を堆積する工程とを含むことを特徴とする電極配線基板の製造方法。

【請求項 8】 前記電極配線層を構成する前記第 1 及び第 2 導電薄膜層が、大気に曝されることなく連続して堆積されることを特徴とする請求項 7 記載の電極配線基板の製造方法。

【請求項 9】 前記電極配線層がマグネトロンスパッタによって堆積されることを特徴とする請求項 7 記載の電極配線基板の製造方法。

【請求項 10】 第 1 基板と第 2 基板とに液晶が挟持された液晶表示装置であって、

前記第 1 基板上には、複数本の平行な第 1 電極配線群と、

前記第 1 電極配線に被覆される絶縁膜と、

前記第 1 電極配線と直交するように形成された複数本の

平行な第 2 電極配線群と、

前記第 1 電極配線と前記第 2 電極配線との交差部に形成された薄膜トランジスタと、

前記薄膜トランジスタに電気的に接続される画素電極と、を備えた液晶表示装置において、

前記第 1 電極配線は、500 オングストローム以下の膜厚の第 1 導電薄膜と、前記第 1 導電薄膜上に配置され前記第 1 導電薄膜と同一材料から成る 500 オングストローム以下の膜厚の第 2 導電薄膜とを含むことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置等に使用される電極基板に係り、特に絶縁膜のカバレッジに優れた電極基板、その製造方法、及び液晶表示装置に関する。

【0002】

【従来の技術】近年、液晶表示装置に代表される平面表示装置が盛んに研究されている。これら平面表示装置は、基板上に電極配線、電極配線を被覆する絶縁膜を含む電極配線基板を備えている。

【0003】電極配線は、導電薄膜層がスパッタ等により堆積され、これが所望形状にパターニングされて成る。また、絶縁膜は、電極配線が腐食されることを防止する、あるいは多層電極配線構造にあつては層間ショート等を防止するため、電極配線を充分に被覆している必要がある。

【0004】

【発明が解決しようとする課題】しかしながら、電極配線に要求される低抵抗化を達成するべく、電極配線を構成する導電薄膜層の膜厚を厚くするにつれ、絶縁膜による充分な被覆を達成するべく電極配線の形状を工夫する必要がある。即ち、電極配線をテーパ形状にパターニングする必要がある。

【0005】例えば、特開平 4-372934 号には、薄膜トランジスタのゲート電極をテーパ形状にパターニングする手法が開示されている。このような手法により、ゲート電極をテーパ形状にパターニングすることができものの、テーパ面に不所望な段差が生じることがあり、このため絶縁膜による充分な被覆が達成されないことがある。

【0006】この発明は、上述した技術課題に対処して成されたもので、良好なテーパ面が形成され、これにより絶縁膜によるカバレッジに優れ、耐食性が良好な電極配線基板、その製造方法、及び液晶表示装置を提供することを目的としている。

【0007】また、この発明は、絶縁膜によるカバレッジに優れ、多層配線としても層間ショートが充分に軽減され、良好な製造歩留まりが確保できる電極配線基板、その製造方法、及び液晶表示装置を提供することを目的とする。

としている。

【0008】

【課題を解決するための手段】本発明は、基板上に形成された第1電極配線と、前記第1電極配線上に形成された絶縁膜とを少なくとも備えた電極配線基板であって、前記第1電極配線は、500オングストローム以下の膜厚の第1導電薄膜と、前記第1導電薄膜上に配置され前記第1導電薄膜と同一材料から成る500オングストローム以下の膜厚の第2導電薄膜とを含むことを特徴としている。

【0009】また、この発明は、基板上に電極配線層を堆積する工程と、前記電極配線層を所望の形状にパターンニングして第1電極配線と成す工程と、前記第1電極配線を被覆する絶縁膜を形成する工程とを備えた電極配線基板の製造方法であって、前記電極配線層を形成する工程が、500オングストローム以下の膜厚の第1導電薄膜層を堆積する工程と、前記第1導電薄膜層上に前記第1導電薄膜層と同一材料から成る500オングストローム以下の膜厚の第2導電薄膜層を堆積する工程とを含むことを特徴としている。

【0010】また、この発明は、第1基板と第2基板とに液晶が挟持された液晶表示装置であって、前記第1基板上には、複数本の平行な第1電極配線群と、前記第1電極配線に被覆される絶縁膜と、前記第1電極配線と直交するように形成された複数本の平行な第2電極配線群と、前記第1電極配線と前記第2電極配線との交差部に形成された薄膜トランジスタと、前記薄膜トランジスタに電氣的に接続される画素電極とを備えた液晶表示装置において、前記第1電極配線は、500オングストローム以下の膜厚の第1導電薄膜と、前記第1導電薄膜上に配置され前記第1導電薄膜と同一材料から成る500オングストローム以下の膜厚の第2導電薄膜とを含むことを特徴としている。

【0011】この発明によれば、第1電極配線が、少なくとも同一材料から成る500オングストローム以下の第1導電薄膜及び第2導電薄膜とを含むので、第1電極配線に不所望な段差が形成されることがなく、このため絶縁膜によるカバレッジに優れ、耐食性が良好な電極配線基板が得られる。また、このため、多層配線としても層間ショートが十分に軽減され、良好な製造歩留まりが確保できる。

【0012】

【発明の実施の形態】以下に、本発明の一実施例のアレイ基板について図面を参照して詳細に説明する。この実施例のアレイ基板2は、図5に示す液晶パネル48の一方の電極基板として用いられるものである。このアレイ基板2と、アレイ基板2に対向する共通電極44を含む対向基板40との間に液晶層46が保持されて液晶パネル48は構成される。

【0013】アレイ基板2は、図1(a)、(b)に示

すように、ガラス基板から成る絶縁基板3上に3000オングストローム厚のモリブデン・タングステン合金から成るゲート電極4及びゲート電極4と一体の走査線13を含む。更に詳しくは、ゲート電極4及び走査線13は、それぞれが略500オングストローム厚のモリブデン・タングステン合金から成る第1～第6導電薄膜の積層構造であって、30°のテーパー形状に加工されている。ゲート電極4及び走査線13としては、モリブデン・タングステン合金の他にも、銅、チタン、タンタル、アルミニウム、あるいはアルミニウム合金等が使用可能であり、その膜厚としては充分な低抵抗を実現する上で1000オングストローム以上、更には1500オングストローム以上であることが望ましい。

【0014】このゲート電極4及び走査線13上には、これらを被覆するよう3000オングストローム厚の酸化シリコン膜(SiO<sub>x</sub>)から成るゲート絶縁膜5が配置されている。そして、ゲート電極4上の領域を含む領域に、アモルファスシリコン(a-Si:H)から成る500オングストローム厚の半導体層6が配置され、更に半導体層6上には自己ゲート電極4に自己整合的にパターンニングされた2000オングストローム厚の窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)から成るチャネル保護膜10が配置されている。

【0015】そして、半導体層6上に、n+型のアモルファスシリコン(a-Si:H)から成る3000オングストローム厚のオーミックコンタクト層7を介して、互いに電氣的に離隔した500/3500/500オングストローム厚のモリブデン/アルミニウム/モリブデンの積層膜から成るソース電極8及びドレイン電極9が配置されている。このソース電極8は、走査線13と略直交して配置される信号線14と一体的に構成されている。また、ドレイン電極9は1TOから成る画素電極11に電氣的に接続されて薄膜トランジスタ1を備えたアレイ基板2は構成されている。

【0016】以上のように、この実施例のアレイ基板2によれば、下層配線であるゲート電極4及び走査線13は、それぞれが略500オングストローム厚のモリブデン・タングステン合金から成る第1～第6導電薄膜の積層構造で構成されている。このため、図4に示す如く、テーパー面で不所望な段差が形成されることがない。更に詳しくは、ゲート電極4及び走査線13が、略500オングストローム厚といった薄膜の積層構造であるため、各導電薄膜の界面近傍と各膜内とで大規模な結晶性が相違しない。このため、各導電薄膜の界面近傍で、エッチングレートとの相違による大きな段差が形成されることがない。このため、3000オングストローム厚の酸化シリコン膜(SiO<sub>x</sub>)で充分に被覆することができ、これにより半導体層6、オーミックコンタクト層7、ソース電極8、ドレイン電極9あるいは画素電極11等のエッチング液のしみ込みによるゲート電極4及び走査線

13の腐食が防止される。

【0017】また、3000オングストローム厚の酸化シリコン膜 ( $\text{SiO}_x$ ) で十分に被覆することができるので、ゲート電圧の振幅を小さくしても、十分なオン電流が得られる。

【0018】更に、ゲート電極4及び走査線13は、3000オングストローム厚の酸化シリコン膜 ( $\text{SiO}_x$ ) から成るゲート絶縁膜5で十分に被覆されているので、ゲート電極4と半導体層6との層間ショート、あるいは走査線13と信号線14との交差部での層間ショートも十分に軽減される。

【0019】例えば、このようなアレキ基板2を60個作成したとき、90%以上の製造歩留まりを確保することができた。これに対して、ゲート電極4及び走査線13を、それぞれが略1000オングストローム厚のモリブデン・タングステン合金から成る第1〜第3導電薄膜の積層構造で構成した他は同様にして作成されたアレキ基板では、その製造歩留まりは80%であり、また3000オングストローム厚のモリブデン・タングステン合金から成る単層構造とした他は同様にして作成されたアレキ基板では、その製造歩留まりは0%であった。これは、恐らく、テーパー面に不所望な段差が形成される、あるいは、テーパーエッジが急峻であり、ゲート絶縁膜5によるカバレッジが不十分であることによるものと考えられる。1層が略500オングストローム以上の膜厚であるところ、エッチングされたテーパー面上に被覆された酸化シリコン膜に段差による膜切れ等が発生し、導電膜の腐食や、層間ショートが起こり、ひいては電極配線基板や液晶表示装置の歩留まりの低下の要因となる。

【0020】この実施例では、ゲート絶縁膜5を3000オングストローム厚の酸化シリコン膜 ( $\text{SiO}_x$ ) で構成する場合を例に説明したが、窒化シリコン ( $\text{Si}_3\text{N}_4$ ) 等で構成することもできる。また、この実施例では、ゲート絶縁膜5を3000オングストローム厚としたが、少なくとも1000オングストローム厚以上であれば十分に被覆することができ、薄膜トランジスタ1のゲート絶縁膜5とするのであれば5000オングストローム厚以下の薄膜である方が望ましい。

【0021】次に、この薄膜トランジスタ1の製造方法について説明する。図2は、上述したアレキ基板2における薄膜トランジスタ1のゲート電極4を形成する際に使用されるスパッタ装置21の概略構成図である。

【0022】このスパッタ装置21は、成膜用の基板が複数枚搭載された基板収納カセット (図示せず) から順次基板を装置内部に導入するためのロード室22a、装置内部から成膜完了後の基板を装置外部に搬出するアンロード室22bとを含む。また、スパッタ装置21は、ロード室22a及びアンロード室22bに連結され、基板を搬送するための搬送ロボット23を含む搬送室24を備えている。更に、スパッタ装置21は、搬送室24

にそれぞれ並列に連結される加熱室25及び3つのスパッタ室26を含む収集式に構成されている。

【0023】図3に示すように、各スパッタ室26は、図2に示す搬送室24から搬送用ロボット23により搬送された基板を配置するためのステージ33、ステージに対して所定の間隔に対向配置されるターゲット31、ターゲット31裏面を移動可能に支持されるスパッタマグネット23、ステージ33裏面側に配置される電極面34とを含む。スパッタマグネット23に対応するターゲット31と基板との間に生じる放電に応じて基板上に成膜が成されるマグネトロンスパッタ方式である。ここでは、ターゲット31としてモリブデン・タングステン合金ターゲットを使用している。

【0024】まず、ロード室22aに設置された基板収納カセットから搬送ロボット23は一基板を取り出し、搬送室24を経て加熱室25に移送する。加熱室25に移送された基板は、加熱室内のホットプレートとガス加熱により150℃に加熱される。

【0025】かかる後、搬送ロボットは加熱された基板を加熱室25から取り出し、搬送室24を経てスパッタ室26へ搬送する。このスパッタ室26には、ガスポンペ27からマスキングコントローラ28を介してスパッタガスとして導入されたアルゴンが導入され、設定したスパッタ圧力である0.4Paに調圧される。次にカソードと成る電極面34へ負電圧を印加しスパッタを開始する。スパッタマグネット23は膜厚分布を良くするため、図3中の矢印方向に沿って往復運動し、所定の膜厚になるまで複数の層を積層して成膜を行う。

【0026】このようにして成膜が完了した基板は、搬送用ロボット23によりアンロード室22bに戻される。尚、スパッタ室26で成膜中、他のスパッタ室26でも並列的に成膜作業は進行される。

【0027】上述した動作をカセットに入っている基板すべてに対して繰り返し、すべての基板の成膜が終了すると、アンロード室22bを大気ベントし、カセットを取り出す。

【0028】ここでは、スパッタマグネット23が一度通過する際に500オングストロームのモリブデン・タングステン合金が堆積されるよう、スパッタマグネット23の移動速度を制御し、スパッタマグネット23を3往復させることで6層の導電薄膜から成る3000オングストロームのモリブデン・タングステン合金の薄膜を形成した。

【0029】次にこのモリブデン・タングステン合金の薄膜を所定のパターンにエッチングし、ゲート電極4を形成した。エッチングはゲート電極4の上に被覆されるゲート絶縁膜5のカバレッジが良くなるよう、テーパー角30°のテーパー状と成るようなCDE (ケミカル・ドライ・エッチング) によりエッチングした。

【0030】次に、酸化シリコン膜 ( $\text{SiO}_x$ ) をブラ

ズマCVD法にて3000オングストロームの厚さに堆積しゲート絶縁膜5とした。更に、アモルファスシリコン(a-Si:H)と、窒化シリコン(SiNx)とを、ゲート絶縁膜5を堆積したと同一のCVD装置内で大気に曝すことなく連続して500オングストローム、2000オングストローム厚に堆積する。

【0031】そして、窒化シリコン(SiNx)をゲート電極をマスクとした裏面露光によりパターンニングしてチャネル保護膜10を作成する。しかる後に、イオンドーパされたn+型アモルファスシリコン(n+a-Si:H)を3000オングストローム厚に堆積し、アモルファスシリコンとn+型アモルファスシリコンとを島状にパターンニングする。

【0032】この後、ITOを被着し、パターンニングして画素電極11を作成する。そして、全面に、再び上述のモリブデン・タングステン合金を2000オングストローム厚に堆積し、パターンニングしてソース電極8及びドレイン電極9を作成する。

【0033】更に、ソース電極8及びドレイン電極9をマスクとして、チャネル保護膜10上のn+型アモルファスシリコンを除去して薄膜トランジスタ1を含むアレイ基板2を作成する。

【0034】この後、常法にしたがって、図5に示す液晶表示装置を完成させる。即ち、対向基板40は、まず、ガラス基板41に例えばクロムをマトリクス状にパターンニングして透光膜42を形成する。次に、透光膜42の間隙に樹脂製の赤、緑、青のカラーフィルタ43を形成する。さらに、その上層のほぼ全面にITOから成る共通電極44を形成する。そして、最上層にポリイミドを塗布し乾燥させた後、ラビング処理を行って配向膜45を形成する。

【0035】そして、アレイ基板2と対向基板40との配向膜12、45が形成されている面をそれぞれ向かい合わせて、図示しない樹脂製のシール材により液晶の封入口を除いて2枚の基板貼り合わせ、空セルを形成する。このとき2枚の基板間には図示しないスペーサーを介すなどして2枚の基板間のギャップを保っている。

【0036】そして、真空中に空セルを置き封入口を液晶に浸した状態で、徐々に大気圧に戻していくことで、空セルの中に液晶を注入して液晶層46を挟持し、封入口を封止する。また、セルの外側の両面に偏光板47を貼り、液晶パネル48を完成させる。

【0037】更に、図6に示すように、駆動を司る回路基板50を液晶パネル48に電気的に接続し、液晶パネル48の側部、または裏面部等に配置する。そして、液晶パネル48の表示面を規定する開口を含むフレームと、面光源を成すバックライト51を保持するフレームとによって液晶パネル48を保持して液晶表示装置を完成する。

【0038】以上説明した製造方法によれば、スパッタ

マグネット23の往復動作の制御によってのみ6層の導電薄膜から成る3000オングストロームのモリブデン・タングステン合金の薄膜が優れた成膜速度を維持しつつ大面積にわたり簡単に形成される。しかも、各導電薄膜層は、大気に曝されることなく連続して作成されるので、界面に不所望な酸化膜が形成されることもなく、このため各層の界面近傍で不所望な段差が形成されることもない。このため、絶縁膜のカバレッジに優れ、耐食性が良好で、しかも優れた製造歩留まりが確保される。

【0039】この実施例では、半導体層としてアモルファスシリコン(a-Si:H)が用いられた場合を例に取り説明したが、微結晶シリコン、多結晶シリコン、あるいは化合物半導体であっても構わない。

【0040】また、薄膜トランジスタとして、ゲート電極が最下層に配置される逆スタガード構造を例にとり説明したが、ゲート電極が最上層に配置されるものであってもこの発明は好適に使用される。

【0041】

【発明の効果】本発明の電極配線基板およびその製造方法によれば、第1電極配線に良好なテーパー面が形成され、これにより第1電極配線を被覆する絶縁膜のカバレッジに優れ、耐食性が良好な電極配線基板が得られる。これにより、電極配線基板の製造歩留まりを充分に向上させることができる。

【図面の簡単な説明】

【図1】図1は、本発明の一実施例のアレイ基板に係り、図中(a)はその概略断面図、(b)は概略平面図である。

【図2】図2は、本発明の一実施例に使用されるスパッタ装置の概略構成図である。

【図3】図3は、図2のスパッタ装置のスパッタ室の概略断面図である。

【図4】図4は、図1のアレイ基板の一部概略断面図である。

【図5】図5は、本発明の一実施例のアレイ基板が用いられた液晶パネルの概略断面図である。

【図6】図6は、図5の液晶パネルが用いられた液晶表示装置の概略構成図である。

【符号の説明】

1…薄膜トランジスタ

4…ゲート電極

5…ゲート絶縁膜

6…半導体層

8…ソース電極

9…ドレイン電極

11…画素電極

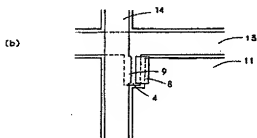
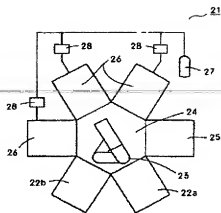
12、45…配向膜

21…スパッタ装置

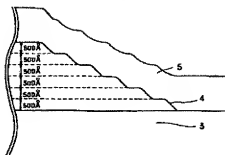
32…スパッタマグネット

44…共通電極

【圖 2】

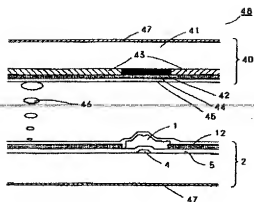


【圖4】





【図5】



【図6】

